

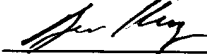
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appl. No. : TBD Confirmation No. TBD
Applicant : Hiroshi Watanabe
Filed : Herewith
TC/A.U : TBD
Examiner : Not Assigned
Docket No. : TI-35394
Customer No. : 23494

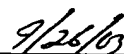
TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C § 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

"EXPRESS MAIL" mailing label number EV 333320822 US. I hereby certify that the Preliminary Amendment and the accompanying Application is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 § CFR 1.10 on the above-mentioned date and is addressed to the Mail Stop Patent Application, Commissioner of Patents, P. O. Box 1450, Alexandria, VA 22313-1450.



Allen B. Kroger



DATE

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2002-286,637, filed on September 30, 2002 in the Japanese Patent Office and from which priority under 35 U.S.C § 119 is claimed for the above-identified application.

Respectfully submitted,
Texas Instruments Incorporated



William B. Kempler
Senior Corporate Patent Counsel
Reg. No. 28,228
(972)917-5452

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 9月30日

出願番号
Application Number:

特願2002-286637

[ST.10/C]:

[JP2002-286637]

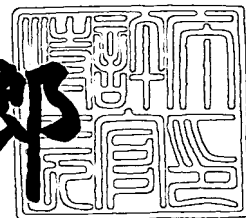
出願人
Applicant(s):

日本テキサス・インスツルメンツ株式会社

2003年 6月20日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048551

TJ-35394 (2002J025)

【書類名】 特許願

【整理番号】 PNX14004

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 5/12

【発明者】

【住所又は居所】 大分県速見郡日出町大字川崎字高尾 4 2 6 0 日本テキ
 サス・インスツルメンツ株式会社内

【氏名】 渡辺 浩

【発明者】

【住所又は居所】 大分県速見郡日出町大字川崎字高尾 4 2 6 0 日本テキ
 サス・インスツルメンツ株式会社内

【氏名】 武田 浩二

【特許出願人】

【識別番号】 390020248

【住所又は居所】 東京都新宿区西新宿六丁目 2 4 番 1 号

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

【識別番号】 100086564

【弁理士】

【氏名又は名称】 佐々木 聖孝

【手数料の表示】

【予納台帳番号】 034290

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9206516

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベルシフト回路

【特許請求の範囲】

【請求項 1】 第 1 の端子が第 1 のポートに接続され、第 2 の端子が第 2 のポートに接続される第 1 の MOS トランジスタと、

第 1 の端子が基準の論理レベルに対応する電源電圧を与える電源電圧端子に接続され、第 2 の端子とゲート端子とが前記第 1 の MOS トランジスタのゲート端子に共通接続される前記第 1 の MOS トランジスタと同じ導電型の第 2 の MOS トランジスタと、

前記第 1 の MOS トランジスタのゲート端子に前記電源電圧よりも低い所定のバイアス電圧を供給するためのバイアス手段と
を有するレベルシフト回路。

【請求項 2】 前記第 1 のポートの電位を前記基準の論理レベル付近に保持するために前記電源電圧端子と前記第 1 のポートとの間に接続される第 1 のクランプ回路を有する請求項 1 に記載のレベルシフト回路。

【請求項 3】 前記第 1 のクランプ回路が、前記第 1 および第 2 のポートの電位のいずれも前記基準の論理レベルと論理的に異なるレベルであるときはオフし、前記第 1 および第 2 のポートの電位の少なくとも一方が前記基準の論理レベルと論理的に同じレベルであるときはオンする第 1 のスイッチを有する請求項 2 に記載のレベルシフト回路。

【請求項 4】 前記第 1 のクランプ回路が、前記電源電圧端子から前記第 1 のポートに向って順方向の電流を流すための第 1 のダイオードを有する請求項 2 または 3 に記載のレベルシフト回路。

【請求項 5】 前記第 1 のクランプ回路が、前記電源電圧端子から前記第 1 のポートに向って一定の電流を流すための第 1 の定電流源回路を有する請求項 2 ～ 4 のいずれか一項に記載のレベルシフト回路。

【請求項 6】 前記第 2 のポートの電位を前記基準の論理レベル付近に保持するために前記電源電圧端子と前記第 2 のポートとの間に接続される第 2 のクランプ回路を有する請求項 1 ～ 5 のいずれか一項に記載のレベルシフト回路。

【請求項 7】 前記第 2 のクランプ回路が、前記第 1 および第 2 のポートの電位のいずれも前記基準の論理レベルと論理的に異なるレベルであるときはオフし、前記第 1 および第 2 のポートの電位の少なくとも一方が前記基準の論理レベルと論理的に同じレベルであるときはオンする第 2 のスイッチを有する請求項 6 に記載のレベルシフト回路。

【請求項 8】 前記第 2 のクランプ回路が、前記電源電圧端子から前記第 2 のポートに向って順方向の電流を流すための第 2 のダイオードを有する請求項 6 または 7 に記載のレベルシフト回路。

【請求項 9】 前記第 2 のクランプ回路が、前記電源電圧端子から前記第 2 のポートに向って一定の電流を流すための第 2 の定電流源回路を有する請求項 6 ～ 8 のいずれか一項に記載のレベルシフト回路。

【請求項 10】 アノードが前記第 1 のポートに接続され、カソードが前記第 1 の MOS トランジスタのゲート端子に接続される第 3 のダイオードを有する請求項 1 ～ 9 のいずれか一項に記載のレベルシフト回路。

【請求項 11】 前記第 1 のポートと前記第 1 の MOS トランジスタのゲート端子との間で前記第 3 のダイオードと直列に接続される第 1 の抵抗を有する請求項 10 に記載のレベルシフト回路。

【請求項 12】 前記第 1 のポートと前記第 1 の MOS トランジスタのゲート端子との間で前記第 3 のダイオードと直列に接続される第 3 の定電流源回路を有する請求項 10 に記載のレベルシフト回路。

【請求項 13】 アノードが前記第 2 のポートに接続され、カソードが前記第 1 の MOS トランジスタのゲート端子に接続される第 4 のダイオードを有する請求項 1 ～ 12 のいずれか一項に記載のレベルシフト回路。

【請求項 14】 前記第 2 のポートと前記第 1 の MOS トランジスタのゲート端子との間で前記第 4 のダイオードと直列に接続される第 2 の抵抗を有する請求項 13 に記載のレベルシフト回路。

【請求項 15】 前記第 2 のポートと前記第 1 の MOS トランジスタのゲート端子との間で前記第 4 のダイオードと直列に接続される第 4 の定電流源回路を有する請求項 13 に記載のレベルシフト回路。

【請求項 1 6】 前記バイアス手段が、アノードが前記電源電圧端子に接続され、カソードが前記第 1 の MOS トランジスタのゲート端子に接続される第 5 のダイオードを有する請求項 1 ～ 1 5 のいずれか一項に記載のレベルシフト回路。

【請求項 1 7】 前記電源電圧端子と前記第 1 の MOS トランジスタのゲート端子との間で前記第 5 のダイオードと直列に接続される第 3 のスイッチと、

前記第 1 の MOS トランジスタのゲート端子と前記基準の論理レベルと論理的に異なるレベルの基準電位との間に接続される第 4 のスイッチと、

前記第 3 のスイッチと前記第 4 のスイッチとを相補的にオン・オフ制御するスイッチ制御手段と

を有する請求項 1 6 に記載のレベルシフト回路。

【請求項 1 8】 前記第 3 のスイッチをオンさせ、かつ前記第 4 のスイッチをオフさせるために前記スイッチ制御手段より与えられる制御信号に応動して、前記第 1 の MOS トランジスタのゲート端子の電位を前記電源電圧よりも高いレベルまで昇圧する昇圧回路を有する請求項 1 7 に記載のレベルシフト回路。

【請求項 1 9】 前記昇圧回路が、前記制御信号を入力してから所定の遅延時間の経過後に前記基準の論理レベルと論理的に異なるレベルから前記基準の論理レベルと論理的に同じレベルまで出力電圧を立ち上げる遅延電圧出力回路と、前記遅延電圧出力回路の出力端子と前記第 1 の MOS トランジスタのゲート端子との間に接続されたコンデンサとを有する請求項 1 8 に記載のレベルシフト回路。

【請求項 2 0】 第 1 の端子が前記第 1 のポートに接続され、第 2 の端子が前記第 2 のポートに接続される第 3 の MOS トランジスタと、

第 1 の端子が前記電源電圧端子に接続され、第 2 の端子とゲート端子とが前記第 3 の MOS トランジスタのゲート端子に共通接続される前記第 3 の MOS トランジスタと同じ導電型の第 4 の MOS トランジスタと、

アノードが前記電源電圧端子に接続され、カソードが前記第 3 の MOS トランジスタのゲート端子に接続される第 6 のダイオードと、

前記電源電圧端子と前記第 3 の MOS トランジスタのゲート端子との間で前記第 6 のダイオードと直列に接続される第 5 のスイッチと、

前記第 3 の MOS トランジスタのゲート端子と前記基準の論理レベルと論理的

に異なるレベルの基準電位との間に接続される第 6 のスイッチと、

前記第 5 のスイッチと前記第 6 のスイッチとを相補的にオン・オフ制御するスイッチ制御手段と、

前記第 5 のスイッチをオンさせ、かつ前記第 6 のスイッチをオフさせるために前記スイッチ制御手段より与えられる制御信号に応動して、前記第 3 の MOS トランジスタのゲート端子の電位を前記電源電圧よりも高いレベルまで昇圧する昇圧回路を有する請求項 1 ～ 1 7 のいずれか一項に記載のレベルシフト回路。

【請求項 2 1】 前記昇圧回路が、前記制御信号を入力してから所定の遅延時間の経過後に前記基準の論理レベルと論理的に異なるレベルから前記基準の論理レベルと論理的に同じレベルまで出力電圧を立ち上げる遅延電圧出力回路と、前記遅延電圧出力回路の出力端子と前記第 3 の MOS トランジスタのゲート端子との間に接続されるコンデンサとを有する請求項 2 0 に記載のレベルシフト回路。

【請求項 2 2】 第 1 の入出力端子と第 2 の入出力端子との間に接続された第 1 の MOS トランジスタと、

第 1 の電源電圧端子と上記第 1 の MOS トランジスタのゲート端子との間に接続され、そのゲート端子が上記第 1 の MOS トランジスタのゲート端子に接続されている第 2 の MOS トランジスタと、

第 1 の電源電圧端子と上記第 1 の MOS トランジスタのゲート端子との間に接続され、第 1 の電源電圧端子から上記第 1 の MOS トランジスタのゲート端子に電流を供給するための第 1 の整流素子と、

上記第 1 の入出力端子と上記第 1 の MOS トランジスタのゲート端子との間に接続され、上記第 1 の入出力端子から上記第 1 の MOS トランジスタのゲート端子に電流を供給するための第 2 の整流素子と、

上記第 2 の入出力端子と上記第 1 の MOS トランジスタのゲート端子との間に接続され、上記第 2 の入出力端子から上記第 1 の MOS トランジスタのゲート端子に電流を供給するための第 3 の整流素子と、

第 1 の電源電圧端子と上記第 1 の入出力端子との間に接続された第 3 の MOS トランジスタと、

上記第 3 の MOS トランジスタと上記第 1 の入出力端子との間に接続され、第

1 の電源電圧端子から上記第 1 の入出力端子に電流を供給するための第 4 の整流素子と、

第 1 の電源電圧端子と上記第 2 の入出力端子との間に接続された第 4 の MOS トランジスタと、

上記第 4 の MOS トランジスタと上記第 2 の入出力端子との間に接続され、第 1 の電源電圧端子から上記第 2 の入出力端子に電流を供給するための第 5 の整流素子と、

第 1 及び第 2 の入力端子が上記第 1 及び第 2 の入出力端子にそれぞれ接続され、上記第 1 及び第 2 の入出力端子の少なくとも一方の電圧レベルが上記電源電圧に対応するレベルであるときに上記第 4 及び第 5 の MOS トランジスタを導通状態とする制御信号を出力する論理回路と

を有するレベルシフト回路。

【請求項 2 3】 上記第 1 及び第 2 の MOS トランジスタが NMOS トランジスタであり、

上記第 3 及び第 4 の MOS トランジスタが PMOS トランジスタであり、

上記第 1 の整流素子が、アノードが第 1 の電源電圧端子に接続され、カソードが上記第 1 の MOS トランジスタのゲート端子に接続されたダイオードであり、

上記第 2 の整流素子が、アノードが上記第 1 の入出力端子に接続され、カソードが上記第 1 の MOS トランジスタのゲート端子に接続されたダイオードであり、

上記第 3 の整流素子が、アノードが上記第 2 の入出力端子に接続され、カソードが上記第 1 の MOS トランジスタのゲート端子に接続されたダイオードであり、

上記第 4 の整流素子が、アノードが上記第 3 の MOS トランジスタに接続され、カソードが上記第 1 の入出力端子に接続されたダイオードであり、

上記第 5 の整流素子が、アノードが上記第 4 の MOS トランジスタに接続され、カソードが上記第 2 の入出力端子に接続されたダイオードである請求項 2 2 に記載のレベルシフト回路。

【請求項 2 4】 上記第 1 の整流素子と上記第 1 の MOS トランジスタのゲート

ト端子との間に接続され、上記第 1 の整流素子と上記第 1 の MOS トランジスタのゲート端子との間の電流路、上記第 2 の整流素子と上記第 1 の MOS トランジスタのゲート端子との間の電流路及び上記第 3 の整流素子と上記第 1 の MOS トランジスタのゲート端子との間の電流路を遮断するための第 5 の MOS トランジスタと、

上記第 1 の MOS トランジスタのゲート端子と第 2 の電源電圧端子との間に接続された第 6 の MOS トランジスタと、

上記第 5 の MOS トランジスタと上記第 6 の MOS トランジスタとを相補的に導通させる制御信号を供給する制御回路と

を有する請求項 2 2 又は 2 3 に記載のレベルシフト回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、2 値信号の信号レベルをシフトする技術に係り、特に複数種類の入力信号レベルを一定の信号レベルにシフトするレベルシフト回路に関する。

【 0 0 0 2 】

【従来の技術】

電子機器システムでは、IC（集積回路）の低消費電力化に伴って従来一般の 5 V から 3. 3 V や 2. 5 V 等へと電源電圧の低電圧化が進んでおり、動作電圧の異なる IC の間で信号レベルのインタフェースをとる場面が増えてきている。たとえば、PCI バスを搭載するシステムでは、コア側の IC が 3. 3 V 系であるのに対して、拡張ボード側の IC が 3. 3 V 系であったり、5 V 系であったりすることがある。この場合、拡張ボード側からコア側に与えられる信号の電圧レベルが 3. 3 V もしくは 5 V のいずれであっても、コア側には 3. 3 V の電圧レベルで信号を受け取らせるようなレベルシフト回路が使用される。

【 0 0 0 3 】

図 1 1 に、この種の機能を有する従来のレベルシフト回路を示す。このレベルシフト回路は、N チャネル MOS トランジスタ（以下、「NMOS トランジスタ」と称する。）1 0 0 をトランスファゲート・トランジスタとして用いる。NM

OSトランジスタ100は、ドレイン端子がポートAを介して送信側のデジタルIC（図示せず）に接続され、ソース端子がポートBを介して受信側のデジタルIC（図示せず）に接続され、ゲート端子はバイアス回路102のノードs0に接続されている。バイアス回路102は、電源電圧 V_{CC} の電源端子Cとアース電位との間で直列接続されるダイオード104と抵抗106とからなり、ダイオード104と抵抗106との接続点またはノードs0に得られる一定の電圧 $V_C - V_F$ をバイアス電圧 V_g としてNMOSトランジスタ100のゲートに与える。ここで、 V_F はダイオード104の順方向降下電圧である。

【0004】

たとえば、受信側のICが3.3V系で、送信側のICよりポートAに5VのHighレベルが入力されたときにポートBに3.3VのHighレベルを得るには、NMOSトランジスタ100の閾値電圧を V_{tn} とすると、 $V_g - V_{tn} = 3.3V$ となるようにバイアス電圧 V_g を設定すればよい。つまり、ポートBからみて受信側ICは一般に容量性の負荷であり、NMOSトランジスタ100においては、ドレイン電圧（ポートAの電位）にかかわらずソース電圧（ポートBの電位）がゲート電圧 V_g から閾値電圧 V_{tn} だけ降下したレベル（ $V_g - V_{tn}$ ）に制限され、かつこのレベルで飽和領域のオン状態が安定する。したがって、電源電圧 V_{CC} が5Vで、NMOSトランジスタ100の閾値電圧 V_{tn} が0.9Vの場合、ポートBに3.3VのHレベルを得るためには、バイアス電圧 V_g を4.2Vに設定し、ダイオード104の順方向降下電圧 V_F を0.8Vに選べばよい。

【0005】

送信側のICより3.3VのHighレベルが入力されたときは、NMOSトランジスタ100が線形領域でオンしてドレインの電圧をスルーでソースに出力するため、ポートBに3.3VのHレベルが得られる。また、ポートAに入力される信号がLowレベル（通常は0V）のときも同様であり、ポートBに0VのLowレベルが得られる。

【0006】

このレベルシフト回路では、NMOSトランジスタ100のオン抵抗を小さくすることで、信号伝播遅延時間を殆ど零に近い値まで小さくし、送信側ICから

与えられる信号のレベルが 3.3 V もしくは 5 V のいずれであっても瞬時に 3.3 V の信号レベルに統一して受信側 IC に受け取らせることができる。

【0007】

【発明が解決しようとする課題】

しかしながら、上記のレベルシフト回路には、次のような欠点あるいは制限がある。

【0008】

(1) 電源電圧 V_{cc} 以下のバイアス電圧 V_g より NMOS トランジスタ 100 の閾値電圧 V_{tn} だけ低いレベルにしかレベルシフトすることができない。このため、上記のように 3.3 V の電源電圧で動作する受信側 IC またはシステムが 5 V 系または 3.3 V 系のどちらからの信号でも受けられるようにするためには、5 V の電源電圧 V_{CC} を用意しないと、上記従来のレベルシフト回路は使えない。

【0009】

(2) NMOS トランジスタ 100 においては、信号伝播遅延時間を短くするためにオン抵抗を下げようとするれば、サイズが大きくなり、それによってソースおよびドレインとゲートとの間に大きな寄生容量が付加される。この寄生容量は、入力信号が Low レベルから High レベルに遷移した時に、容量結合によってゲートの電位を過渡的に上昇させて出力電圧にオーバーシュートを生じさせ、正確なレベルシフトを妨げる。

【0010】

(3) バイアス回路 102 を定常的に DC 電流が流れるため、消費電力が大きい。特に、上記のような Low レベルから High レベルへ遷移する際のオーバーシュートを抑制するために抵抗 106 の抵抗値を下げると、抑制効果が小さいにもかかわらず、消費電力は一層増大する。

【0011】

本発明は、上記のような従来技術の問題点に鑑みてなされたもので、使用する電源電圧以上の任意の入力信号レベルを電源電圧で規定される出力信号レベルに高速かつ安定精確にレベルシフトできるレベルシフト回路を提供することを目的とする。

【 0 0 1 2 】

本発明の別の目的は、DC的な消費電流を少なくした低消費電力型のレベルシフト回路を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

上記の目的を達成するために、本発明のレベルシフト回路は、第1の端子が第1のポートに接続され、第2の端子が第2のポートに接続される第1のMOSトランジスタと、第1の端子が基準の論理レベルに対応する電源電圧を与える電源電圧端子に接続され、第2の端子とゲート端子とが前記第1のMOSトランジスタのゲート端子に共通接続される前記第1のMOSトランジスタと同じ導電型の第2のMOSトランジスタと、前記第1のMOSトランジスタのゲート端子に前記電源電圧よりも低い所定のバイアス電圧を供給するためのバイアス手段とを有する。

【 0 0 1 4 】

本発明のレベルシフト回路では、たとえば第1のポートより入力される信号が第1の論理レベルたとえばLowレベルから第2の論理レベルたとえばHighレベルに遷移すると、第1のMOSトランジスタにおいて第1の端子とゲート端子間の容量結合によりゲート電位が入力信号レベルの変化分に相当する電位だけ持ち上げられ、第2のMOSトランジスタが第1のMOSトランジスタのゲート端子側から電源電圧端子側に放電電流を流すようにオンする。これによって、第1のMOSトランジスタのゲート電位が、電源電圧のレベルよりも第2のMOSトランジスタの閾値電圧だけ高い電位にクランプされる。その結果、第1のMOSトランジスタの第2の端子にはゲート電位よりも閾値電圧だけ低い出力電圧が得られる。第1および第2のMOSトランジスタの閾値電圧を実質的に等しい値に設定することで、第1のMOSトランジスタの第2の端子に電源電圧のレベルに等しいHighレベルが得られる。

【 0 0 1 5 】

本発明のレベルシフト回路において、好ましい一態様は、第1または第2のポートの電位を基準論理レベル付近に保持するために電源電圧端子と第1または第

2のポートとの間に接続される第1または第2のクランプ回路を有する構成である。好ましくは、第1または第2のクランプ回路で消費する電力を少なくするために、第1および第2のポートの電位のいずれも基準の論理レベルと論理的に異なるレベルであるときはオフし、第1および第2のポートの電位の少なくとも一方が基準論理レベルと論理的に同じレベルであるときはオンする第1または第2のスイッチを有してよい。この場合、第1または第2のクランプ回路は、必要時のみ動作するように、好ましくは、電源電圧端子から第1または第2のポートに向って順方向の電流を流すための第1または第2のダイオードを有してよい。また、安定したレベルクランプを行えるように、好ましくは、第1または第2のクランプ回路が、電源電圧端子から第1または第2のポートに向って一定の電流を流すための第1または第2の定電流源回路を有してよい。

【0016】

また、本発明の好ましい一態様は、アノードが第1のポートに接続され、カソードが第1のMOSトランジスタのゲート端子に接続される第3のダイオードを有する構成、あるいはアノードが第2のポートに接続され、カソードが第1のMOSトランジスタのゲート端子に接続される第4のダイオードを有する構成である。第1または第2のポートに入力される信号のHighレベルが第1のMOSトランジスタのゲート電位よりも高いときは、そのHighレベルの信号から第3または第4のダイオードを介して第1のMOSトランジスタのゲートに電流を流し込むことにより、リーク電流によるバイアス電圧の低下を効果的に阻止することができる。この場合、第1のMOSトランジスタのゲートに流し込む電流を安定化するために、第1または第2のポートと第1のMOSトランジスタのゲート端子との間で第3または第4のダイオードと直列に、第1または第2の抵抗を接続する構成、あるいは第3または第4の定電流源回路を接続する構成が好ましい。

【0017】

また、本発明の好ましい一態様は、バイアス手段が、アノードが電源電圧端子に接続され、カソードが第1のMOSトランジスタのゲート端子に接続される第5のダイオードを有する構成である。第2のMOSトランジスタを働かせないとき、つまりオフ状態にしている間は、電源電圧端子より第5のダイオードを介し

て電源電圧よりも低い所定のバイアス電圧を第1のMOSトランジスタのゲートに与えることにより、オン状態の第1のMOSトランジスタを介して入力側のLowレベルをそのままスルーで出力側に伝えることができる。

【0018】

また、本発明の好ましい一態様は、電源電圧端子と第1のMOSトランジスタのゲート端子との間で第5のダイオードと直列に接続される第3のスイッチと、第1のMOSトランジスタのゲート端子と基準の論理レベルと論理的に異なるレベルの基準電位との間に接続される第4のスイッチと、第3のスイッチと第4のスイッチとを相補的にオン・オフ制御するスイッチ制御手段とを有する構成である。かかる構成によれば、第3のスイッチをオンにして第4のスイッチをオフにすることにより、バイアス回路をアクティブ状態にして第1のポートと第2のポート間の信号伝送を可能とし、第3のスイッチをオフにして第4のスイッチをオンにすることにより、バイアス回路を実質的にディセーブル状態にして第1のポートと第2のポート間を遮断することができる。

【0019】

上記のようなスイッチ機能を有する場合、好ましくは、第3のスイッチをオンさせ、かつ第4のスイッチをオフさせるためにスイッチ制御手段より与えられる制御信号に応動して、第1のMOSトランジスタのゲート端子の電位を電源電圧よりも高いレベルまで昇圧する昇圧回路を有するのが好ましい。この昇圧回路により、入力信号の論理的なレベル変化の代わりに制御信号の論理的なレベル変化を利用して第1のMOSトランジスタのゲート電位を電源電圧よりも閾値電圧だけ高い電位にクランプし、第1のMOSトランジスタの第2の端子に電源電圧レベルの論理レベルを得ることができる。この昇圧回路の好ましい一形態は、制御信号を入力してから所定の遅延時間の経過後に基準の論理レベルと論理的に異なるレベルから基準の論理レベルと論理的に同じレベルまで出力電圧を立ち上げる遅延電圧出力回路と、この遅延電圧出力回路の出力端子と第1のMOSトランジスタのゲート端子との間に接続されたコンデンサとを有する構成である。かかる構成によれば、制御信号の論理的なレベル変化に応動してチャージポンピングにより第1のMOSトランジスタのゲート電位を所望のレベルまで昇圧することが

できる。

【 0 0 2 0 】

また、別の好ましい一態様は、第 1 の端子が第 1 のポートに接続され、第 2 の端子が第 2 のポートに接続される第 3 の MOS トランジスタと、第 1 の端子が電源電圧端子に接続され、第 2 の端子とゲート端子とが第 3 の MOS トランジスタのゲート端子に共通接続される第 3 の MOS トランジスタと同じ導電型の第 4 の MOS トランジスタと、アノードが電源電圧端子に接続され、カソードが第 3 の MOS トランジスタのゲート端子に接続される第 6 のダイオードと、電源電圧端子と第 3 の MOS トランジスタのゲート端子との間で第 6 のダイオードと直列に接続される第 5 のスイッチと、第 3 の MOS トランジスタのゲート端子と基準の論理レベルと論理的に異なるレベルの基準電位との間に接続される第 6 のスイッチと、第 5 のスイッチと第 6 のスイッチとを相補的にオン・オフ制御するスイッチ制御手段と、第 5 のスイッチをオンさせ、かつ第 6 のスイッチをオフさせるためにスイッチ制御手段より与えられる制御信号に応動して、第 3 の MOS トランジスタのゲート端子の電位を電源電圧よりも高いレベルまで昇圧する昇圧回路を有する構成である。

【 0 0 2 1 】

かかる構成においては、スイッチ制御手段からの制御信号に対して、昇圧回路が上記と同様の動作を行い、第 3 の MOS トランジスタが第 1 の MOS トランジスタに相当する動作を行い、第 4 の MOS トランジスタが第 2 の MOS トランジスタに相当する動作を行う。昇圧回路の好適な一形態は、制御信号を入力してから所定の遅延時間の経過後に基準の論理レベルと論理的に異なるレベルから基準の論理レベルと論理的に同じレベルまで出力電圧を立ち上げる遅延電圧出力回路と、この遅延電圧出力回路の出力端子と第 3 の MOS トランジスタのゲート端子との間に接続されるコンデンサとを有する構成である。

【 0 0 2 2 】

【発明の実施の形態】

以下、図 1 ～図 1 0 を参照して本発明の好適な実施形態を説明する。

【 0 0 2 3 】

図 1 に、本発明の一実施形態によるレベルシフト回路の回路構成を示す。この実施形態のレベルシフト回路は、NMOS トランジスタ 10 をトランスファゲート・トランジスタとして用いる。NMOS トランジスタ 10 のソース端子およびドレイン端子のうち、一方はポート A に接続され、他方はポート B に接続される。説明の便宜上、ポート A に接続される方をドレイン端子、ポート B に接続される方をソース端子とする。両ポート A, B はそれぞれデジタル IC (図示せず) に接続されてよい。

【 0 0 2 4 】

NMOS トランジスタ 10 は、十分低い (たとえば $5\ \Omega$ 以下の) オン抵抗が得られるようにサイズ (特にチャネル幅サイズ) の大きな MOS トランジスタに設計されてよい。この大サイズ化に伴って、ドレインおよびソースとゲートとの間に大きな容量が付加され、容量結合効果も大きくなる。しかし、後述するように、この実施形態では、NMOS トランジスタ 10 におけるドレイン (ソース) ・ゲート間の容量結合効果が従来技術のような支障を来すどころか、むしろ有用な技術要素として積極的に利用される。

【 0 0 2 5 】

NMOS トランジスタ 10 のゲート端子はノード S_1 を介してバイアス回路 12 に接続されている。このバイアス回路 12 は、NMOS トランジスタ 14 とダイオード 16 とを有している。NMOS トランジスタ 14 は、ソース端子が電源電圧 V_{CC} の端子 C に接続され、ドレイン端子とゲート端子とがノード S_1 を介して NMOS トランジスタ 10 のゲート端子に共通接続されている。ダイオード 16 は、アノード端子が電源電圧 V_{CC} の端子 C に接続され、カソード端子がノード S_1 を介して NMOS トランジスタ 10 のゲート端子に接続されている。

【 0 0 2 6 】

このバイアス回路 12 は、NMOS トランジスタ 14 がオフでダイオード 16 が導通した状態でバイアス電圧を与える第 1 のバイアスモードと、ダイオード 16 が非導通で NMOS トランジスタ 14 がオンした状態でバイアス電圧を与える第 2 のバイアスモードとを有している。第 1 のバイアスモードでは、電源電圧 V_{CC} よりダイオード 16 の順方向降下電圧 V_{F16} だけ低いバイアス電圧がノード S_1

からNMOSトランジスタ10のゲートに印加されるようになっている。第2のバイアスモードは、ノード S_1 の電位の方が電源電圧 V_{CC} よりもNMOSトランジスタ14の閾値電圧 V_{TN14} 以上高くなっているときの状態である。NMOSトランジスタ14は、NMOSトランジスタ10と同一の半導体チップ上に同一のプロセスで製作される。したがって、NMOSトランジスタ14の閾値電圧 V_{TN14} をNMOSトランジスタ10の閾値電圧 V_{TN10} に実質的に等しい値にすることができる。

【0027】

電源電圧 V_{CC} の端子CとポートAとの間には、ポートAの電位を電源電圧 V_{CC} 付近のレベルに保持するためのクランプ回路18が接続されている。このクランプ回路18は、定電流源回路20、PチャネルMOSトランジスタ（以下、「PMOSトランジスタ」と称する。）22およびダイオード24を直列接続してなる。PMOSトランジスタ22がオン状態のときに、ポートA側の電位が電源電圧 V_{CC} からダイオード24の順方向降下電圧 V_{F24} を差し引いたレベルよりも下がっているときは、ダイオード24が導通して定電流源回路20よりレベルクランプ用の定電流 i_{CA} をポートA側の負荷に供給するようになっている。

【0028】

一方、電源電圧 V_{CC} の端子CとポートBとの間には、ポートBの電位を電源電圧 V_{CC} 付近のレベルに保持するためのクランプ回路26が接続されている。このクランプ回路26は、定電流源回路28、PMOSトランジスタ30およびダイオード32を直列接続してなる。PMOSトランジスタ30がオン状態のときに、ポートB側の電位が電源電圧 V_{CC} からダイオード32の順方向降下電圧 V_{F32} を差し引いたレベルよりも下がっているときは、ダイオード32が導通して定電流源回路28よりレベルクランプ用の定電流 i_{CB} をポートB側の負荷に供給するようになっている。

【0029】

両ポートA, BにはNOR回路34の一对の入力端子がそれぞれ接続され、NOR回路34の出力端子は両クランプ回路18, 26のPMOSトランジスタ22, 30のゲート端子に接続されている。ポートA, Bの電圧 V_A , V_B のいずれ

もLowレベルのときは、NOR回路34の出力電圧が論理Highで、両PMOSトランジスタ22, 30は共にオフ状態に保持される。しかし、ポートA, Bの電圧 V_A , V_B の少なくとも一方がHighレベルになると、NOR回路34の出力電圧が論理Lowで、両PMOSトランジスタ22, 30は共にオンするようになっている。

【0030】

さらに、ポートAとノード S_1 つまりNMOSトランジスタ10のゲート端子との間には、ダイオード36と抵抗38の直列回路が接続されている。ポートAの電位がノード S_1 の電位よりも高いときに、ダイオード36が導通して、ポートA側からノード S_1 側にバイアス維持またはバックアップ用の電流が流れるようになっている。

【0031】

一方、ポートBとノード S_0 の間には、ダイオード40と抵抗42の直列回路が接続されている。ポートBの電位がノード S_1 の電位よりも高いときに、ダイオード40が導通して、ポートB側からノード S_1 側にバイアス維持またはバックアップ用の電流が流れるようになっている。

【0032】

次に、このレベルシフト回路の動作を説明する。一例として、ポートA側から入力される5V系の信号レベルを3.3V系の信号レベルに変換してポートB側に出力する場合の動作を説明する。この場合、このレベルシフト回路の電源電圧端子Cには、ポートB側（受信側）のICまたはシステムと共通の3.3Vの電源電圧 V_{CC} を供給すればよい。したがって、バイアス回路12では、ダイオード16の順方向降下電圧 V_{F16} をたとえば0.5Vに選定すると、第1のバイアスモードでノード S_1 に約2.8Vのバイアス電圧が得られる。

【0033】

いま、ポートAに入力される信号がLowレベル（0V）であるとする。この時、バイアス回路12は、第1のバイアスモードにあり、ノード S_1 より約2.8Vのバイアス電圧を与える。これにより、NMOSトランジスタ10は線形領域でオンしてドレインの電圧をスルーでソースに出力し、ポートBには0VのLow

レベルが得られる。

【0034】

次に、ポートAに入力される信号がLowレベルからHighレベル（5 V）に遷移したとする。この時、NMOSトランジスタ10においては、ドレイン・ゲート間容量のカップリング効果によってゲートの電位つまりノード S_1 の電位がそれまでの約2.8 Vから約5 Vアップの7.8 V付近まで一気に持ち上げられる。これにより、バイアス回路12は第1のバイアスモードから第2のバイアスモードに切り換わり、ダイオード16が非導通状態になり、NMOSトランジスタ14がオンする。ここで、NMOSトランジスタ14は、飽和状態でオンしてノード S_1 側から電源電圧端子C側に放電電流を流し、ノード S_1 の電位をソース側の電源電圧 V_{CC} よりも閾値電圧 V_{TN14} だけ高いレベル（ $V_{CC} + V_{TN14}$ ）に制限またはクランプする。

【0035】

NMOSトランジスタ10のドレイン・ソース間では、ノード S_1 の電位が上昇した瞬間に過渡的なドレイン電流が流れる。しかし、ポートBに接続されるデジタルICは一般に容量性負荷であることと、上記のようにゲート電位が速やかに一定レベル（ $V_{CC} + V_{TN14}$ ）にクランプされることから、オーバーシュートを起こさずにソース電位がゲート電位（ $V_{CC} + V_{TN14}$ ）から閾値電圧 V_{TN10} だけ低いレベルつまり V_{CC} （3.3 V）まで上昇したところでNMOSトランジスタ10の飽和領域のオン状態が安定する。こうして、ポートA側からの5 V系のHighレベルは、このレベルシフト回路において電源電圧 V_{CC} に等しい3.3 V系のHighレベルに変換されてポートB側に出力される。

【0036】

上記のようなバイアス回路12の第1のバイアスモードから第2のバイアスモードへの移行によってポートB側に生成されたHighレベルの電位（3.3 V）は、ポートBに接続される負荷（IC）の入力インピーダンスが容量のみであれば、そのまま保持される。しかし、現実には幾らかの抵抗成分もあるため、負荷側の電流リークによってポートBの電位は降下しようとする。

【0037】

この実施形態では、そのようなポート B 側の電位の降下をクランプ回路 2 6 が阻止する。すなわち、ポート A 側が High レベルになった時から NOR 回路 3 4 の出力端子が論理 Low になって、クランプ回路 2 6 の PMOS トランジスタ 3 0 がオンする。リーク電流によってポート B の電位が降下すると、やがてダイオード 3 2 が導通して定電流源回路 2 8 よりレベルクランプ用の定電流 i_{CB} がポート B を介して負荷に供給される。このレベルクランプ用の定電流 i_{CB} によってリーク電流に起因するレベルの降下が阻止され、ポート B の電位は $V_{CC} - V_{F32}$ 付近にクランプされる。たとえば、ダイオード 3 2 の順方向降下電圧 V_{F32} を 0. 2 V に選定すれば、ポート B の電位は 3. 1 V 付近に保持される。レベルクランプ用の定電流 i_{CB} は、リーク電流を補う程度の微小な電流でよく、消費電力は少なくて済む。

【 0 0 3 8 】

なお、NOR 回路 3 4 の出力が論理 Low になることにより、ポート A 側のクランプ回路 1 8 でも PMOS トランジスタ 2 2 がオン状態になる。しかし、ポート A の電位が High レベル (5 V) であるため、ダイオード 2 4 が導通せず、レベルクランプ用の定電流 i_{CB} は流れない。

【 0 0 3 9 】

一方、バイアス回路 1 2 では、上記のような第 2 のバイアスモードでノード S_1 の電位を電源電圧 V_{CC} よりも閾値電圧 V_{TN14} だけ高いレベル ($V_{CC} + V_{TN14}$) にクランプするものの、NMOS トランジスタ 1 4 を通じて若干であるがリーク電流が流れ、ノード S_1 の電位が次第に低下していく。しかし、ポート A 側が High レベル (5 V) になっているため、ダイオード 3 6 が導通してポート A 側からノード S_1 に電流が供給される。抵抗 3 8 は、入力信号に与える影響を少なくするためにこの電流を制限する。こうして、NMOS トランジスタ 1 4 のリーク電流がキャンセルされ、ノード S_1 の電位が ($V_{CC} + V_{TN14}$) 付近に維持される。

【 0 0 4 0 】

このレベルシフト回路において、ポート A 側から 3. 3 V 系の信号が入力された場合も、各部で上記と同様の動作が行われる。より詳細には、ポート A に入力される信号が Low レベルから High レベル (3. 3 V) に遷移すると、バイアス回

路12では、ノード S_1 の電位がそれまでの約2.8Vから約3.3Vアップの6.1V付近まで一気に持ち上げられて、第1のバイアスモードから第2のバイアスモードに切り換わる。NMOSトランジスタ14も、上記と同様に飽和状態でオンしてノード S_1 側から電源電圧端子C側に放電電流を流し、ノード S_1 の電位をソース電位つまり電源電圧 V_{CC} よりも閾値電圧 V_{TN14} だけ高いレベル($V_{CC} + V_{TN14}$)に制限またはクランプする。これにより、NMOSトランジスタ10のソース端子には、ゲート電位($V_{CC} + V_{TN14}$)から閾値電圧 V_{TN10} だけ低いレベルつまり V_{CC} (3.3V)のレベルが得られる。MOR回路34、クランプ回路26およびダイオード36等も上記と同様に動作する。

【0041】

ポートA側から入力される信号がHighレベルからLowレベルに遷移した時は、NMOSトランジスタ10のドレイン・ゲート間容量のカップリング効果によりノード S_1 の電位が1V付近まで一気に引き下げられ、バイアス回路12は第1のバイアスモードに切り換わり、NMOSトランジスタ14がオフし、ダイオード16が導通する。これにより、NMOSトランジスタ10が線形領域でオンしてドレイン側の電圧をスルーでソースに出力し、ポートB側には0VのLowレベルが得られる。なお、このときは、NOR回路34の出力がHighレベルで、両クランプ回路18、26ではPMOSトランジスタ22、30がオフ状態となり、定電流源回路20、28より電流 i_{CA} 、 i_{CB} が流れ出ることはない。

【0042】

このレベルシフト回路において、ポートA側に電源電圧 V_{CC} (3.3V)よりも低い電圧が入力されたときは、上記のようなLowレベル(0V)が入力された場合と同様のレベルシフト動作が行われる。

【0043】

また、このレベルシフト回路は、ポートA、B側に対して左右対称に構成されており、ポートA、B間の信号の入出力関係を上記と逆転させることも可能である。すなわち、ポートB側から入力される信号を上記と同様にレベルシフトしてポートA側に出力することも可能である。

【0044】

図 2 に、この実施形態におけるレベルシフト回路の入出力機能を示す。図 2 の (A) は、ポート A が入力側で、ポート B が出力側の場合である。この場合、ポート A より入力される信号の High レベルが電源電圧 V_{CC} 以上のときは、電源電圧 V_{CC} に等しい High レベルにレベルシフトしてポート B に出力する。入力信号の電圧レベルが電源電圧 V_{CC} よりも低いときは、入力電圧レベルに等しい電圧レベルをポート B に出力する。

【 0 0 4 5 】

図 2 の (B) は、ポート B が入力側で、ポート A が出力側の場合である。この場合、ポート B より入力される信号の High レベルが電源電圧 V_{CC} 以上のときは、電源電圧 V_{CC} に等しい High レベルにレベルシフトしてポート A に出力する。入力信号の電圧レベルが電源電圧 V_{CC} よりも低いときは、入力電圧レベルに等しい電圧レベルをポート A に出力する。

【 0 0 4 6 】

このように、この実施形態のレベルシフト回路は、両ポート A, B 間で左右対称のレベルシフト機能を有しており、入力信号の High レベルが電源電圧 V_{CC} に等しい場合はもちろんそれより高い場合であっても、一律に V_{CC} の High レベルに高速かつ安定確実にシフトすることができる。このため、受信側の IC またはシステムにあっては、自己の使用する電源電圧をそのままこの実施形態によるレベルシフト回路の電源電圧 V_{CC} としても使用することができる。

【 0 0 4 7 】

したがって、たとえば PCI バスにおいてコア側が 3.3 V 系であるときは、この実施形態のレベルシフト回路にも 3.3 V の電源電圧を用いることで、拡張ボード側より送られてくる信号が 3.3 V 系もしくは 5 V 系のいずれであっても一律に 3.3 V 系の信号レベルに変換してコア側のシステムに受信させることができる。コア側が 2.5 V 系であるときも同様である。すなわち、このレベルシフト回路に 2.5 V の電源電圧を用いることで、拡張ボード側より送られてくる信号が 2.5 V 系、3.3 V 系もしくは 5 V 系のいずれであっても一律に 2.5 V 系の信号レベルに変換してコア側のシステムに受信させることができる。

【 0 0 4 8 】

また、この実施形態のレベルシフト回路では、各部で必要最小限の過渡的な電流が流れるものの、常時流れるDC的な消費電流は少ない。入力信号がHighレベルになっている時に、クランプ回路18, 26の片側（出力信号側）で負荷のリーク電流に応じたレベルクランプ用の微小な直流電流 i_{CA} , i_{CB} が流れるだけである。このため、消費電力は非常に少ない。

【0049】

図3および図4に、第2の実施形態によるレベルシフト回路の回路構成を示す。この実施形態は、上記した第1の実施形態によるレベルシフト回路にスイッチング（オン・オフ）機能を付け加えている。たとえば、PCIバスシステムにおいては、括線挿抜機能を実現するために、レベルシフト回路にスイッチング（オン・オフ）機能が要求される。

【0050】

この実施形態では、ポートA, B間の導通をオン・オフできるように、バイアス回路12にPMOSトランジスタ44とNMOSトランジスタ46とを設けている。より詳細には、電源電圧 V_{CC} の端子Cとノード S_1 との間にダイオード16と直列にPMOSトランジスタ44が接続され、ノード S_1 とGND（グランド）レベルの端子との間にNMOSトランジスタ46が接続される。両MOSトランジスタ44, 46のゲート端子には外部の制御回路より信号入力端子48を介してスイッチ制御用の2値信号SCが与えられる。このスイッチ制御信号SCの論理Highは電源電圧 V_{CC} と同じレベルであってよい。

【0051】

この実施形態では、NMOSトランジスタ10にトランスファゲート・トランジスタとスイッチ・トランジスタとを兼用させる。スイッチ・トランジスタとしてNMOSトランジスタ10をオン状態にするときは、スイッチ制御信号SCを論理Lowにして、バイアス回路12においてPMOSトランジスタ44をオンにし、NMOSトランジスタ46をオフにする。この状態のバイアス回路12は、上記第1の実施形態における回路構成に相当する。スイッチ・トランジスタ10をオフ状態にするときは、スイッチ制御信号SCを論理Highにして、バイアス回路12においてPMOSトランジスタ44をオフにし、NMOSトランジスタ4

6 をオンにする。これにより、ノード S_1 の電位がLowレベル (0 V) に下げられ、スイッチ・トランジスタ 1 0 はオフ状態に保持される。

【 0 0 5 2 】

このようなスイッチング機能のために、第 1 の実施形態における NOR 回路 3 4 はこの第 2 の実施形態では OR 回路 5 0 と NAND 回路 5 2 に置き換えられ、NAND 回路 5 0 の片方の入力端子にはスイッチ制御信号 SC が反転回路 5 4 を介して与えられる。スイッチ制御信号 SC が論理Highとき (スイッチ・トランジスタ 1 0 をオフ状態にするとき) は、反転回路 5 4 の出力が論理Lowで、NAND 回路 5 2 の出力が論理Highになり、両クランプ回路 1 8, 2 6 が非アクティブ (無通電) 状態に置かれる。スイッチ制御信号 SC が論理Lowのとき (スイッチ・トランジスタ 1 0 をオン状態にするとき) は、反転回路 5 4 の出力が論理Highで、OR 回路 5 0 と NAND 回路 5 2 が第 1 の実施形態における NOR 回路 3 4 に相当する機能を奏する。

【 0 0 5 3 】

ところで、この実施形態のスイッチング動作では、スイッチ・トランジスタ 1 0 をオフ状態にしている間に送信側ポートたとえばポート A よりHighレベルの信号が入力され、かかるHighレベル入力状態の下で外部制御回路がスイッチ制御信号 SC をオフ指示の論理Highからオン指示の論理Lowに切り換えた場合に問題が出る。

【 0 0 5 4 】

すなわち、スイッチ・トランジスタ 1 0 がオフしている時にポート A より入力される信号がLowレベルからHighレベルに変わっても、スイッチ・トランジスタ 1 0 のドレイン・ゲート間には容量結合が働かないため、ゲート電位つまりノード S_1 の電位が殆ど持ち上がらず、ポート B 側はハイインピーダンス状態で以前の状態のLowレベルのままである。そして、スイッチ制御信号 SC が論理Highから論理Lowに変わって、バイアス回路 1 2 において PMOS トランジスタ 4 4 がオン状態に、NMOS トランジスタ 4 6 がオフ状態にそれぞれ切り換わっても、ポート A 側のLowレベルからHighレベルへの遷移は既に終わっているため、この場面でもスイッチ・トランジスタ 1 0 のドレイン・ゲート間に容量結合効果が働

くことはない。したがって、バイアス回路12は第1のバイアスモードに止まり、第2のバイアスモードに移行することができない。この結果、スイッチ・トランジスタ10のソース側つまりポートB側にHighレベル(V_{CC})の信号を出力することができなくなる。

【0055】

なお、ポートAよりHighレベルの信号が入力されるため、クランプ回路26のPMOSTランジスタ30はオンするが、定電流源回路28よりポートB側に供給する電流 I_{CB} は微小であるため、LowレベルからHighレベルへ上昇させることは難しい。

【0056】

この実施形態では、かかる問題を解消するために、ブロック56の補助回路を設けている。この補助回路56は、上記NMOSTランジスタ10およびバイアス回路12にそれぞれ対応するNMOSTランジスタ58およびバイアス回路60を有している。

【0057】

補助回路56において、より詳細には、NMOSTランジスタ58は、ドレイン端子がポートAに接続され、ソース端子がポートBに接続される。バイアス回路60は、NMOSTランジスタ62、ダイオード64およびスイッチ用のPMOSTランジスタ66、NMOSTランジスタ68を有している。NMOSTランジスタ62は、ソース端子が電源電圧 V_{CC} の端子Cに接続され、ドレイン端子とゲート端子とがノード S_2 を介してNMOSTランジスタ58のゲート端子に共通接続される。両NMOSTランジスタ58、62の閾値電圧 V_{TN58} 、 V_{TN62} は、NMOSTランジスタ10の閾値電圧 V_{TN10} に実質的に等しい値に設定されてよい。ダイオード64は、アノード端子がPMOSTランジスタ66を介して電源電圧 V_{CC} の端子Cに接続され、カソード端子がノード S_2 を介してNMOSTランジスタ58のゲート端子に接続されている。PMOSTランジスタ66は、電源電圧 V_{CC} の端子Cとノード S_2 とでダイオード16と直列に接続される。NMOSTランジスタ68は、ノード S_2 とGNDレベル端子との間に接続される。両MOSTランジスタ66、68のゲート端子には信号入力端子48からの

スイッチ制御信号 SC が与えられる。

【 0 0 5 8 】

さらに、補助回路 5 6 は、チャージポンプ回路 7 0 を有している。このチャージポンプ回路 7 0 は、信号入力端子 4 8 とノード S_2 との間に遅延回路 7 2、反転回路 7 4 およびコンデンサ 7 6 をこの順序で直列接続している。遅延回路 7 2 は、入力信号つまりスイッチ制御信号 SC が論理 High から論理 Low に切り換わった時のみ信号遅延機能を働かせて、たとえば数ナノ秒程度の遅延時間経過後に出力を High レベルから Low レベルに切り換えるように構成される。

【 0 0 5 9 】

この補助回路 5 6 は、スイッチ・トランジスタ 1 0 がオフ状態になっている間に送信側のポート A より High レベルの信号が入力され、かかる High レベル入力状態の下でスイッチ制御信号 SC がオフ指示の論理 High からオン指示の論理 Low に切り換わった場合に有効に作用する。

【 0 0 6 0 】

この場合、スイッチ制御信号 SC が論理 High になっている間、補助回路 5 6 では、PMOS トランジスタ 6 6 がオフし、NMOS トランジスタ 6 8 がオンしており、ノード S_2 の電位はアース電位にクランプされ、NMOS トランジスタ 5 8 はオフ状態に保持されている。

【 0 0 6 1 】

そして、スイッチ制御信号 SC が論理 High から論理 Low に切り換わると、先ずバイアス回路 6 0 で PMOS トランジスタ 6 6 がオンすると同時に NMOS トランジスタ 6 8 がオフすることにより、電源電圧 V_{CC} がダイオード 6 4 を介してノード S_2 に印加され、ノード S_2 が $V_{CC} - V_{F64}$ まで充電される。ここで、 V_{F64} はダイオード 6 4 の順方向降下電圧であり、たとえば 0.5 V 程度に設定されてよい。

【 0 0 6 2 】

上記のようにバイアス回路 6 0 でノード S_2 の電位が第 1 のバイアスモードで $V_{CC} - V_{F64}$ まで上昇すると、この直後に遅延回路 7 2 より Low レベルの電圧が出力され、反転回路 7 4 の出力つまりノード S_3 の電位が Low レベルから High レベル

に立ち上がる。そうすると、コンデンサ 7 6 のカップリング効果またはチャージポンピングにより、ノード S_2 の電位がそれまでのレベル ($V_{CC} - V_{F64}$) からノード S_3 の電位の上昇変化分つまり Low レベルから High レベルへの変化分 (V_{CC} のレベル分) だけ持ち上げられる。これにより、NMOS トランジスタ 6 2 がノード S_2 側から電源電圧端子 C 側に電流を流し込む方向にオンし、ノード S_2 の電位が $V_{CC} - V_{TN62}$ にクランプされる。この結果、NMOS トランジスタ 5 8 のソースには、ゲート電圧 ($V_{CC} - V_{TN62}$) より閾値電圧 V_{TN58} だけ低いレベルつまりほぼ V_{CC} レベルの出力電圧が得られる。

【 0 0 6 3 】

上記のようにして、ポート A 側より入力された V_{CC} 以上の High レベルはバイアス回路 6 0 で V_{CC} 電位の High レベルにレベルシフトされてポート B 側に出力される。負荷側のリーク電流によりポート B の電位が V_{CC} 電位より低下するときは、上記のようにクランプ回路 2 6 が作動してレベルをクランプする。

【 0 0 6 4 】

なお、スイッチ制御信号 SC がオフ指示の論理 High からオン指示の論理 Low に切り換わった時にポート A 側より Low レベルが入力されている場合も、補助回路 5 6 内のバイアス回路 6 0 やチャージポンプ回路 7 0 は上記と同様に動作する。ただし、NMOS トランジスタ 5 8 のドレイン電圧が Low レベルであるため、ポート B 側に High レベルを出力することはない。また、スイッチ制御信号 SC がオン指示の論理 Low からオフ指示の論理 High に切り換わった時は、補助回路 5 6 においても、ノード S_2 の電位が強制的に GND レベルにクランプされ、NMOS トランジスタ 5 8 がオフ状態になる。

【 0 0 6 5 】

図 5 ～図 8 に、SPICE シミュレーションによる上記実施形態のレベルシフト回路 (図 4) の入出力特性を示す。

【 0 0 6 6 】

図 5 および図 6 のシミュレーションでは、電源電圧 V_{CC} を 3.3 V、受信側負荷の入力インピーダンスを 15 pF の容量 C_L のみとし、入力側の High レベルをそれぞれ 5 V、3.3 V としている。5 V 入力 (図 5)、3.3 V 入力 (図 6)

のいずれの場合でも、Highレベルの入力時にはNMOSトランジスタ10のゲート電位（ノード S_1 の電位）が容量結合により4.5Vから4.3V程度まで上昇し、ソース側の出力電圧が電源電圧 V_{CC} のレベル（3.3V）に変換されることがわかる。

【0067】

図7のシミュレーションは、受信側の負荷を5pFの容量 C_L と10M Ω の抵抗で擬制し、入力側の電圧をLowレベル（0V）からHighレベル（3.3V）に遷移させた際の出力電圧の波形を検証したものである。この場合、入力側のレベル変化（0V→3.3V）に応動してNMOSトランジスタ10のゲート電位（ノード S_1 の電位）が4.3V付近まで上昇し、それによってソース側に電源電圧レベル（3.3V）の出力電圧が得られる。その後、出力電圧が降下し始める。すなわち、負荷が容量のみで電流リークが存在しないとすれば、いったん電源電圧レベル（3.3V）上昇した出力はそのまま維持されることになるが、負荷に抵抗（10M Ω ）があるためリーク電流によって放電し、出力電圧のレベルは降下し始める。しかし、3.1V近くまで下がったところで出力電圧のレベルは安定する。これは、上記したようにクランプ回路（18または26）より供給される電流によって出力電圧のHighレベルにクランプがかけられ、約3.1Vでバランスするためである。このように、実際のアプリケーションにおいて負荷に電流リークが存在しても僅かなレベル降下を伴うだけで安定したレベルシフト動作を行えることがわかる。

【0068】

図8は、補助回路56の作用を検証したものである。スイッチ制御信号SCがオフ指示の論理Highからオン指示の論理Lowに切り換わると直ぐにノード S_2 の電位が2V以上に上昇する。そして、ノード S_2 の電位が2.7V位まで上昇したところでノード S_3 の電位が0V付近から3.3Vまで立ち上がり、チャージポンピングによりノード S_2 の電位が4.7V付近まで持ち上げられ、出力が3.3Vまで上昇していく。このように、補助回路56の働きにより10ナノ秒程で3.0Vを超えるレベルに出力を切り換えられることがわかる。

【0069】

図 9 および図 1 0 に上記した実施形態の変形例を示す。図 9 の変形例は、バイアス維持用のパスにおいて、抵抗 3 8 (4 2) を定電流源回路 8 0 に置き換えてスイッチ 8 2 を挿入したものである。スイッチ制御回路 8 4 は、ダイオード 3 6 のカソード側のノード S 4 の電位をモニタし、ノード S 4 の電位が電源電圧 V_{CC} よりも高いときにスイッチ 8 2 をオンさせる。

【 0 0 7 0 】

図 1 0 の変形例は、ポート A 側の High レベルがポート B 側の High レベルよりも高いことが確定している場合に、両ポート A, B 間で双方向のレベルシフトを行えるようにしたものである。この場合、バイアス回路 1 2 およびポート B 側のクランプ回路 2 6 の電源電圧端子 C には、ポート B 側の High レベル（たとえば 3 V）に等しいレベルの電源電圧 V_{CCB} が供給される。一方、ポート A には抵抗 8 6 を介して別個の電源電圧端子 E が接続され、この電源電圧端子 E にはポート A 側の High レベル（たとえば 5 V）に等しいレベルの電源電圧 V_{CCA} が供給される。

【 0 0 7 1 】

図 1 0 のレベルシフト回路において、ポート A が入力側で、ポート B が出力側の場合は、上記した実施形態と同様のレベルシフト動作が行われる。ポート B が入力側で、ポート A が出力側の場合も、High レベルが入力した直後までは上記した実施形態と同様のレベルシフト動作が行われる。すなわち、ポート B より High レベルの信号が入力されると、ポート B 側の High レベルと等しいレベルの High レベルがポート A に出力される。しかし、電源電圧端子 E より抵抗 8 6 を介してポート A 側の負荷に電流が流れることにより、ポート A の電位は次第に上昇して電源電圧 V_{CCA} のレベルで飽和（安定）する。また、図 1 0 の回路において、クランプ回路 1 8 を付加した構成としてもよい。

【 0 0 7 2 】

また、図示省略するが、別の変形例として、クランプ回路 2 6 (1 8) において定電流源回路 2 8 (2 0) を抵抗で代用することも可能である。また、補助回路 5 8 のチャージポンプ回路 7 0 に相当するチャージポンプ回路をバイアス回路 1 2 側のノード S_1 に接続することで、バイアス回路 1 2 やスイッチ・トランジ

スタ 1 0 等に補助回路 5 8 と同様の作用を行わせることも可能である。

【 0 0 7 3 】

【発明の効果】

以上説明したように、本発明のレベルシフト回路によれば、使用する電源電圧以上の任意の入力信号レベルを電源電圧で規定される出力信号レベルに高速かつ安定精確にレベルシフトすることができる。また、D C 的な消費電流を少なくし、低消費電力化を実現できる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態によるレベルシフト回路の回路構成を示す回路図である。

【図 2】

実施形態のレベルシフト回路の入出力機能を示すブロック図である。

【図 3】

第 2 の実施形態によるレベルシフト回路の回路構成を示す回路図である。

【図 4】

第 2 の実施形態によるレベルシフト回路に含まれる補助回路の回路構成を示す回路図である。

【図 5】

シミュレーションによる実施形態のレベルシフト回路の入出力特性を示すグラフ図である。

【図 6】

シミュレーションによる実施形態のレベルシフト回路の入出力特性を示すグラフ図である。

【図 7】

シミュレーションによる実施形態のレベルシフト回路の入出力特性を示すグラフ図である。

【図 8】

シミュレーションによる実施形態のレベルシフト回路の入出力特性を示すグラフ図である。

【図 9】

実施形態の一変形例によるレベルシフト回路の回路構成を示す回路図である。

【図 1 0】

実施形態の一変形例によるレベルシフト回路の回路構成を示す回路図である。

【図 1 1】

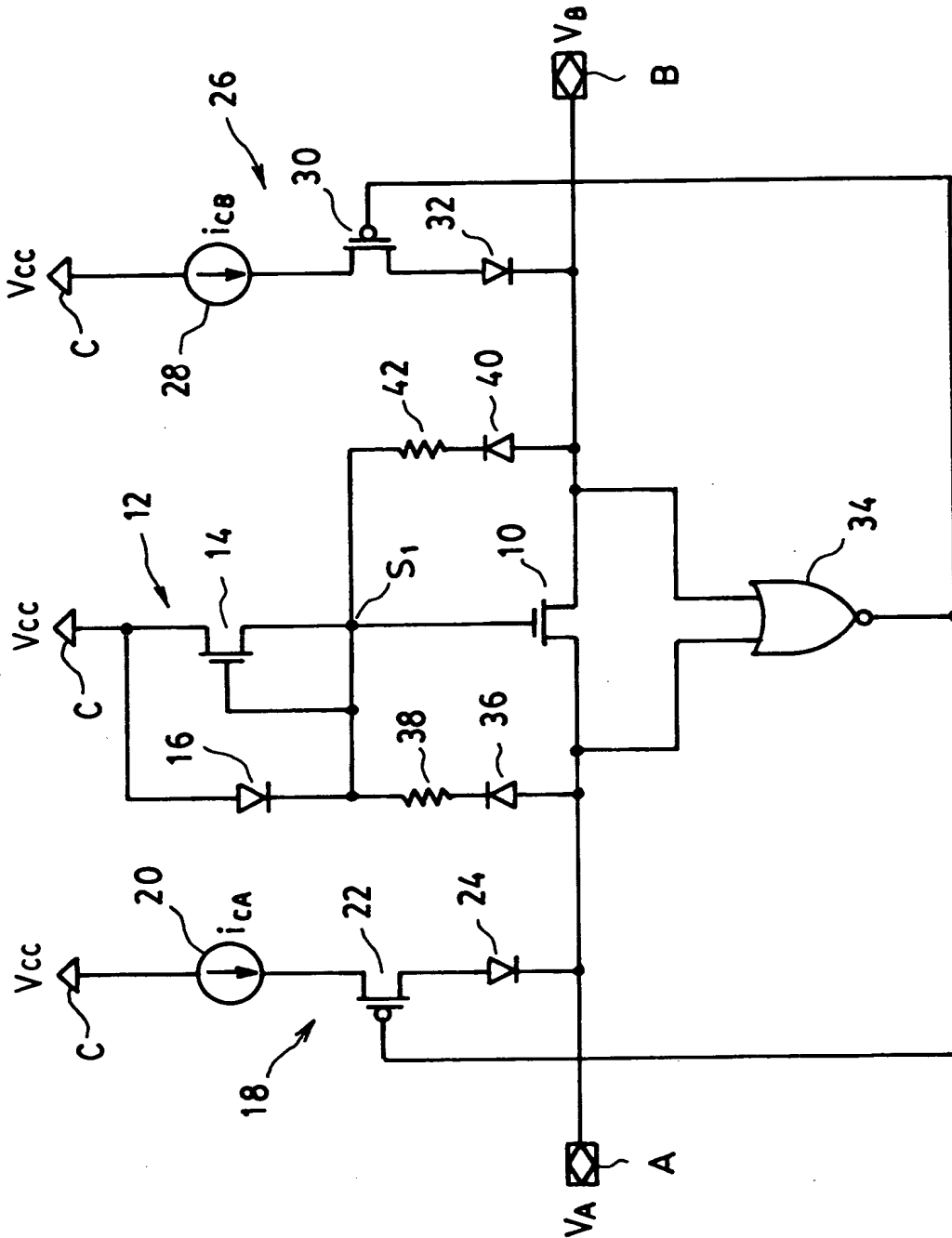
従来のレベルシフト回路の回路構成を示す回路図である。

【符号の説明】

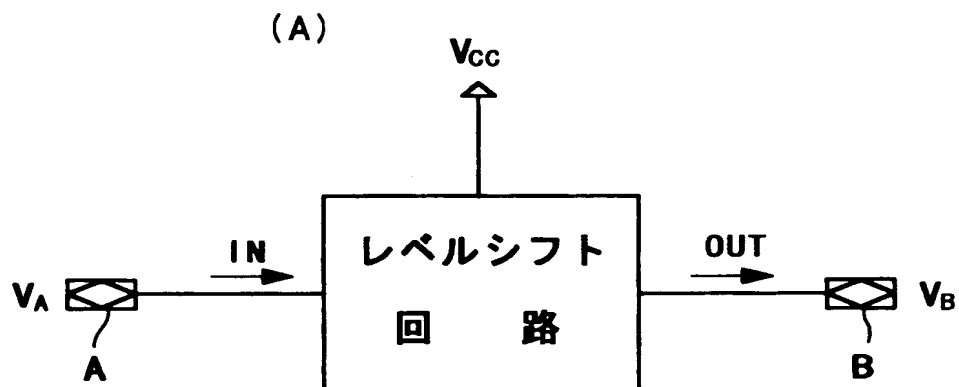
- 1 0 NチャネルMOSトランジスタ（トランスファゲート・トランジスタ）
- 1 2 バイアス回路
- 1 4 NチャネルMOSトランジスタ
- 1 6 ダイオード
- 1 8, 2 6 クランプ回路
- 2 0, 2 8 定電流源回路
- 2 2, 3 0 PチャネルMOSトランジスタ
- 2 4, 3 2 ダイオード
- 3 4 NOR回路
- 3 6, 4 0 ダイオード
- 4 4 PチャネルMOSトランジスタ
- 4 6 NチャネルMOSトランジスタ
- 5 6 補助回路
- 5 6 NチャネルMOSトランジスタ
- 6 0 バイアス回路
- 7 0 チャージポンプ回路
- 8 0 定電流源回路
- 8 6 抵抗

【書類名】 図面

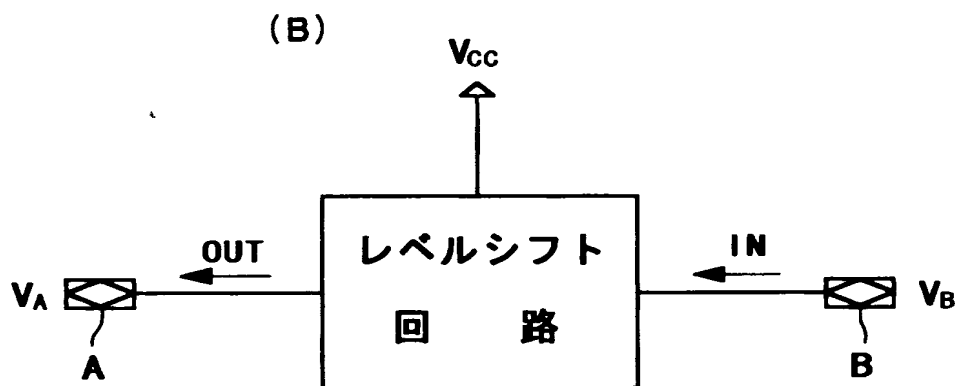
【図 1】



【図 2】

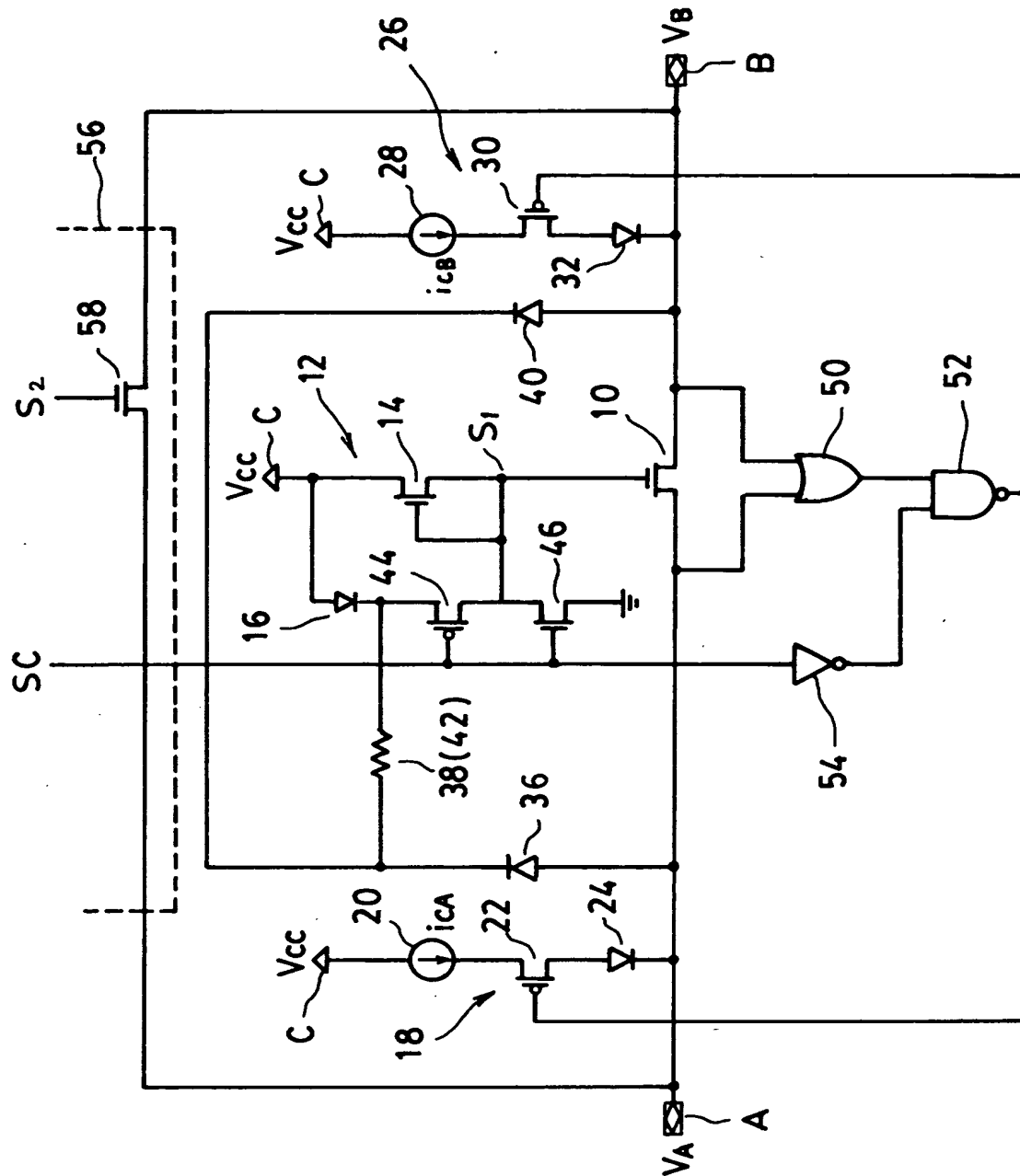


$$\left[\begin{array}{l} V_A \geq V_{CC} \rightarrow V_B = V_{CC} \\ V_A < V_{CC} \rightarrow V_B = V_A \end{array} \right]$$

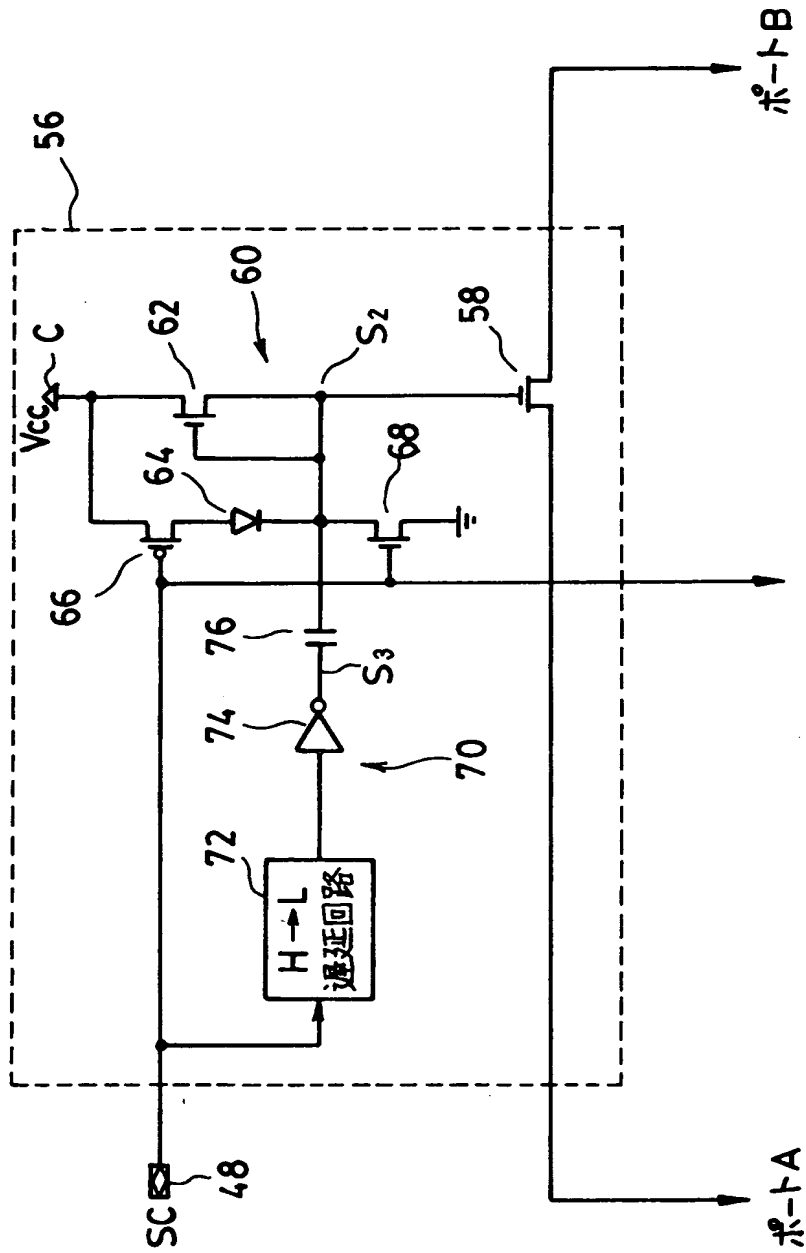


$$\left[\begin{array}{l} V_B \geq V_{CC} \rightarrow V_A = V_{CC} \\ V_B < V_{CC} \rightarrow V_A = V_B \end{array} \right]$$

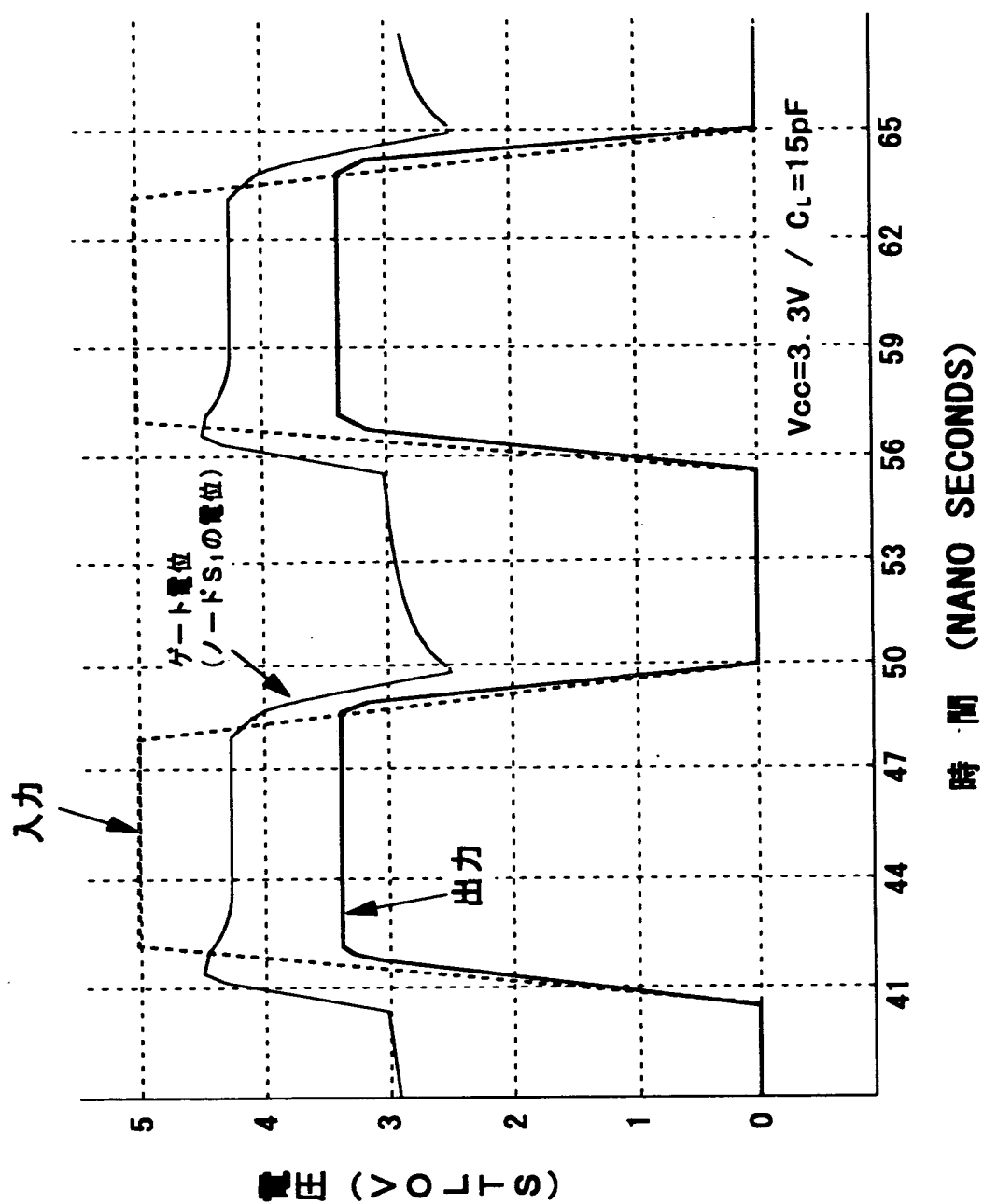
【図3】



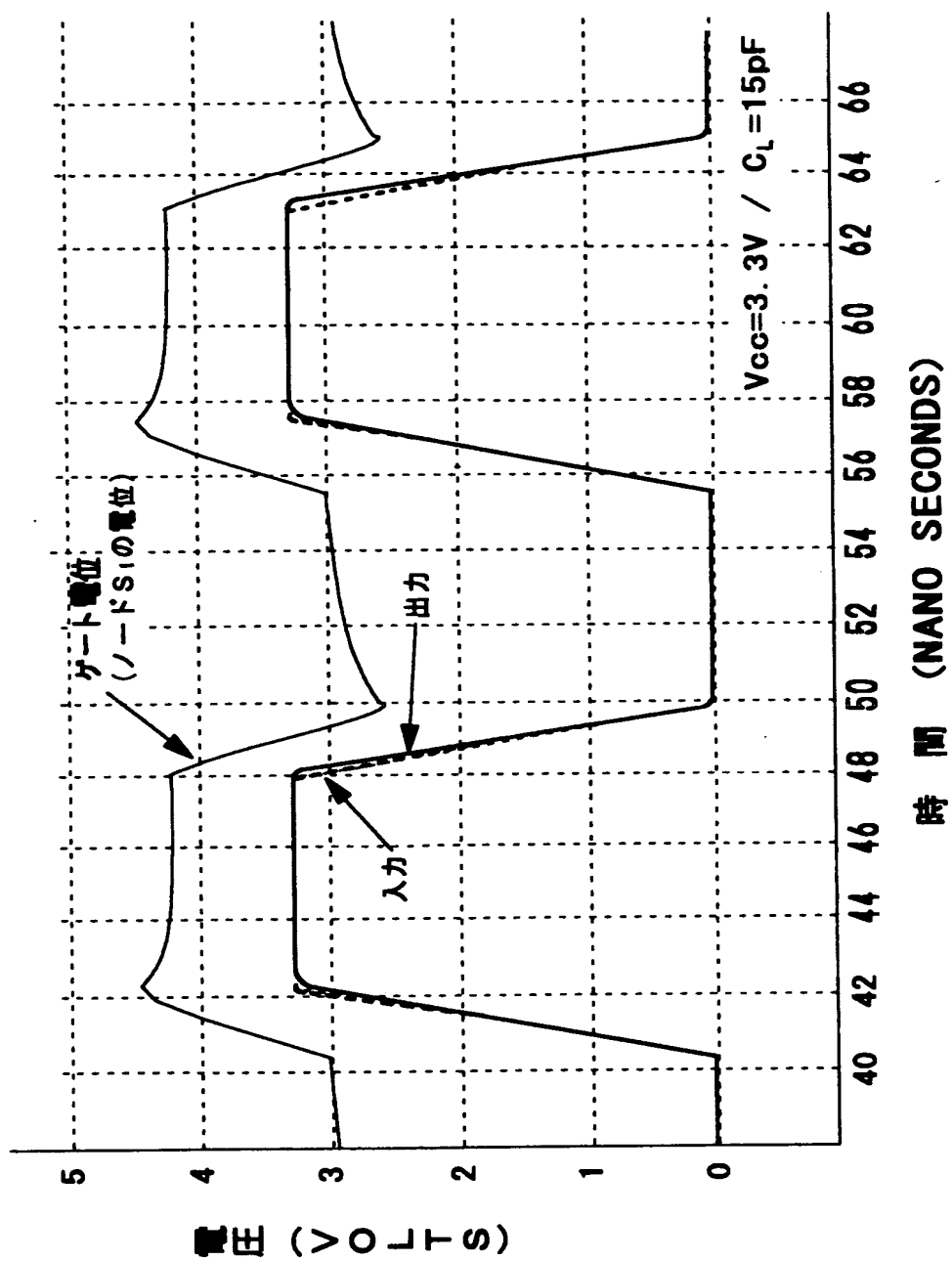
【図 4】



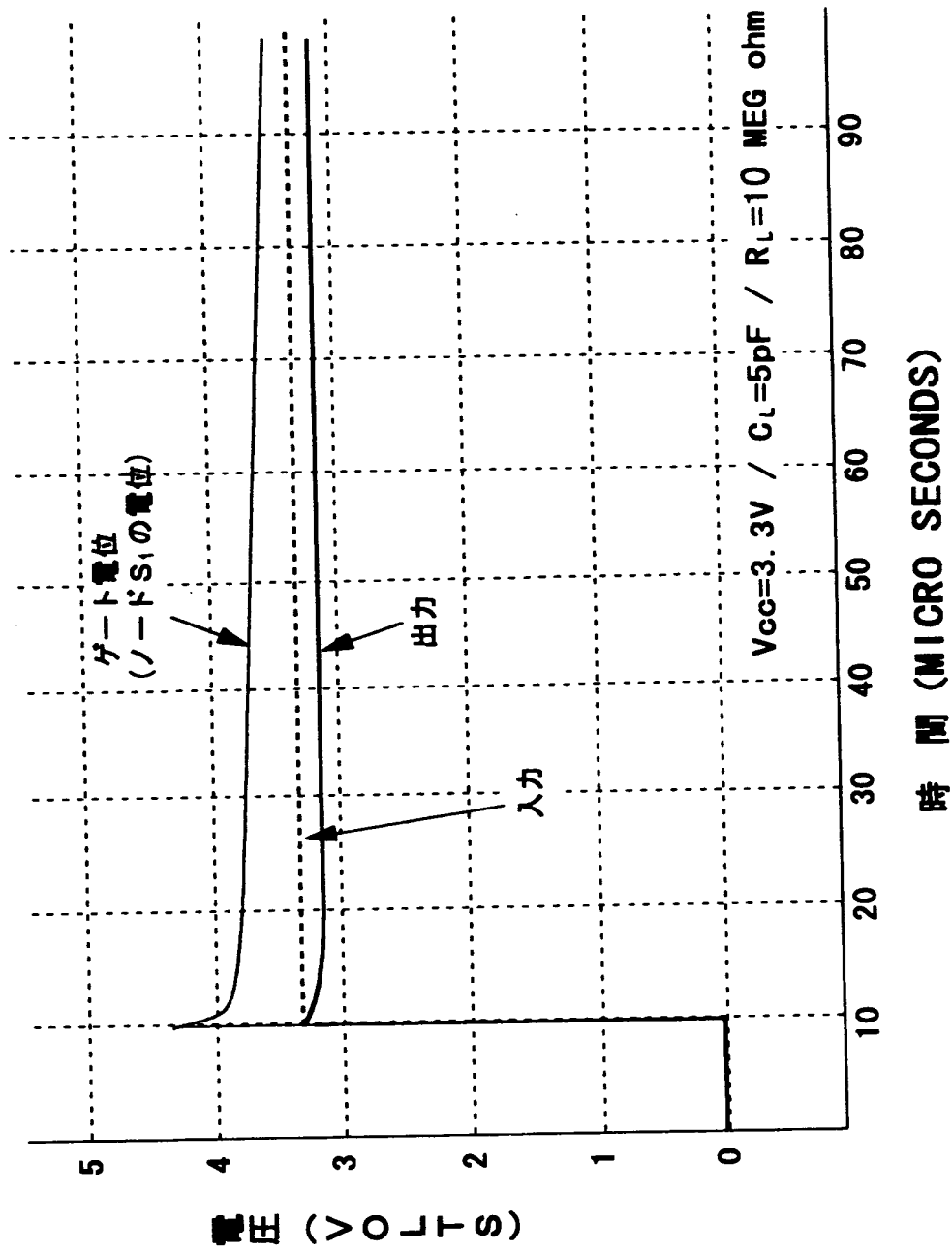
【図 5】



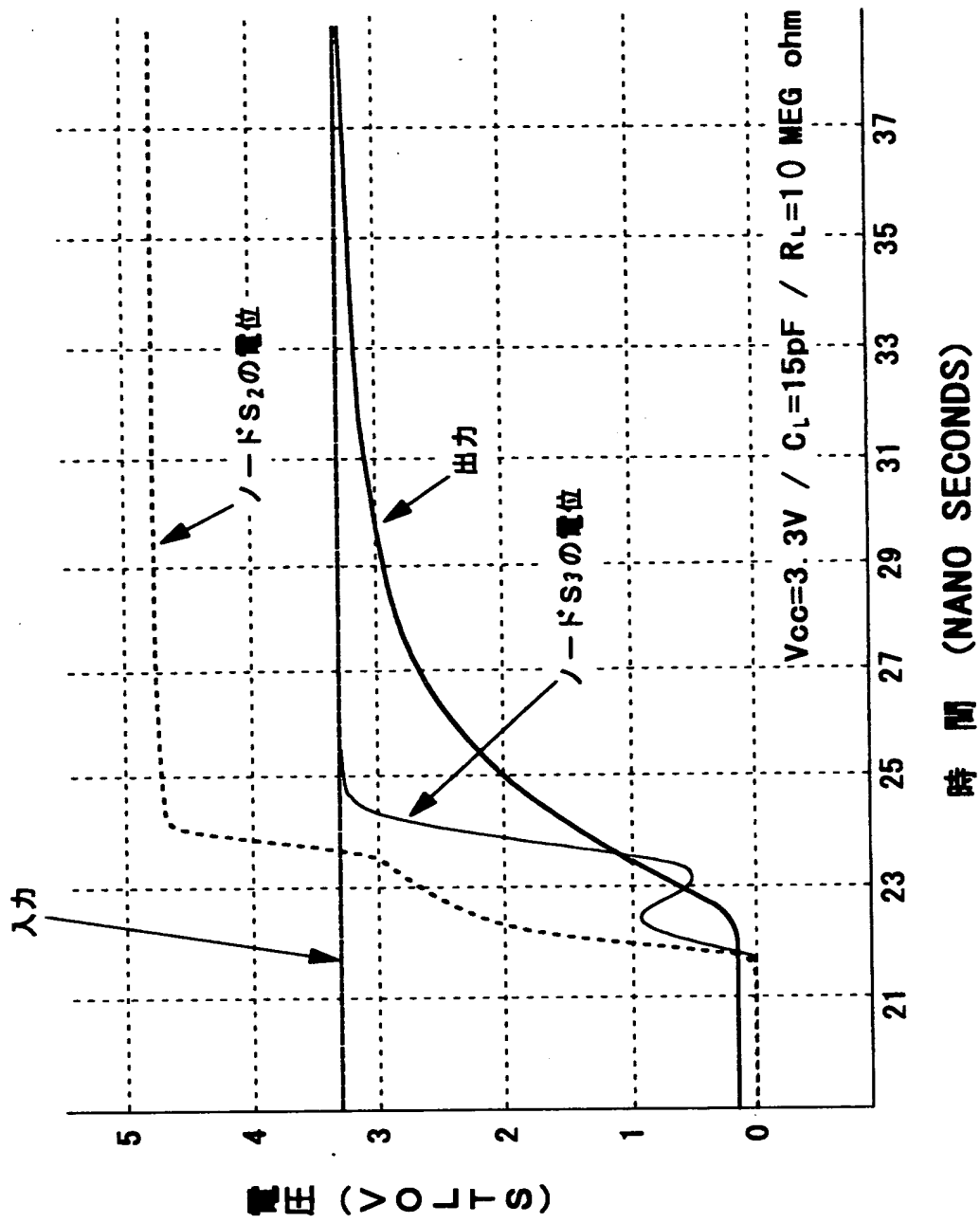
【図6】



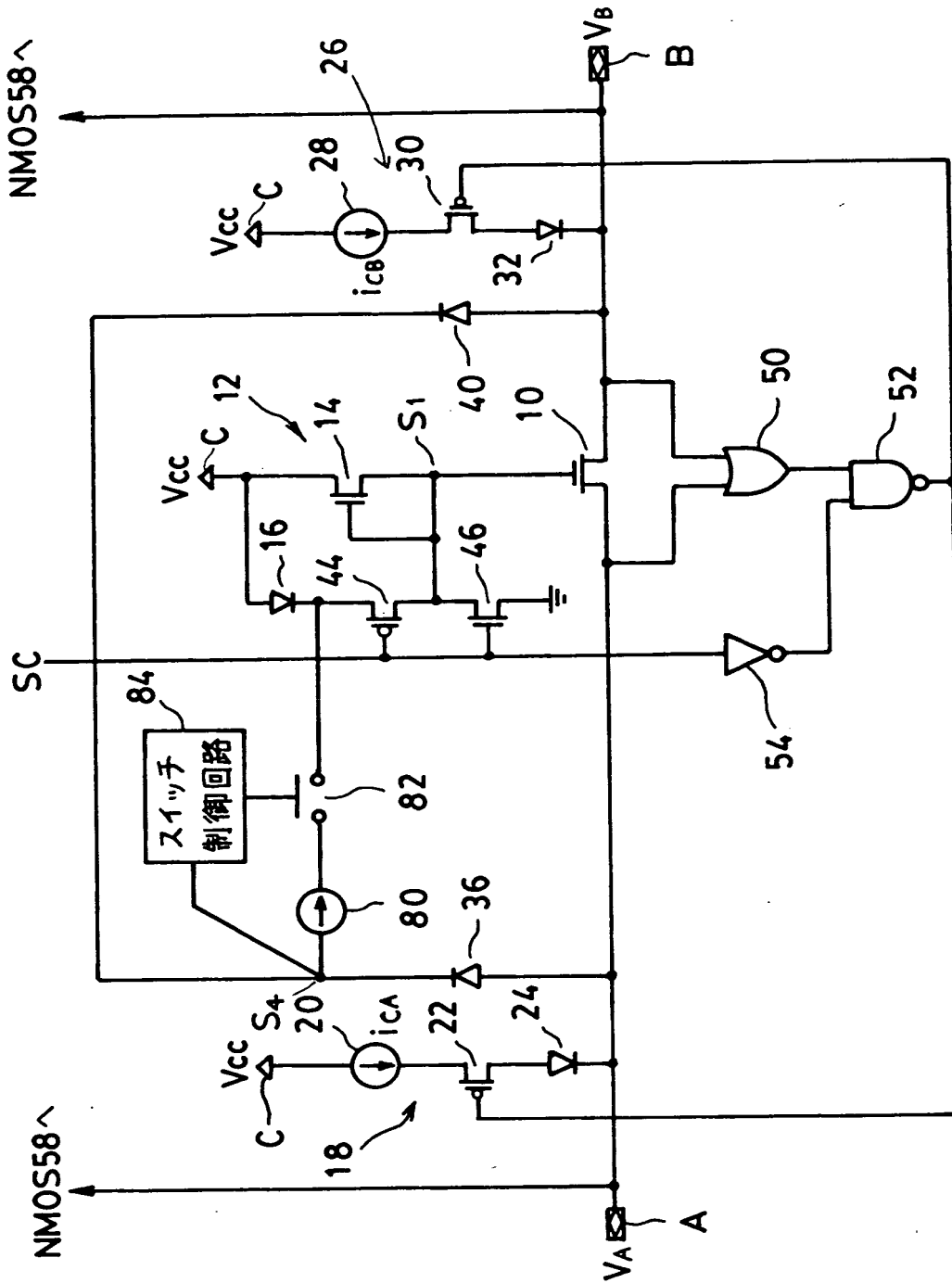
【図 7】



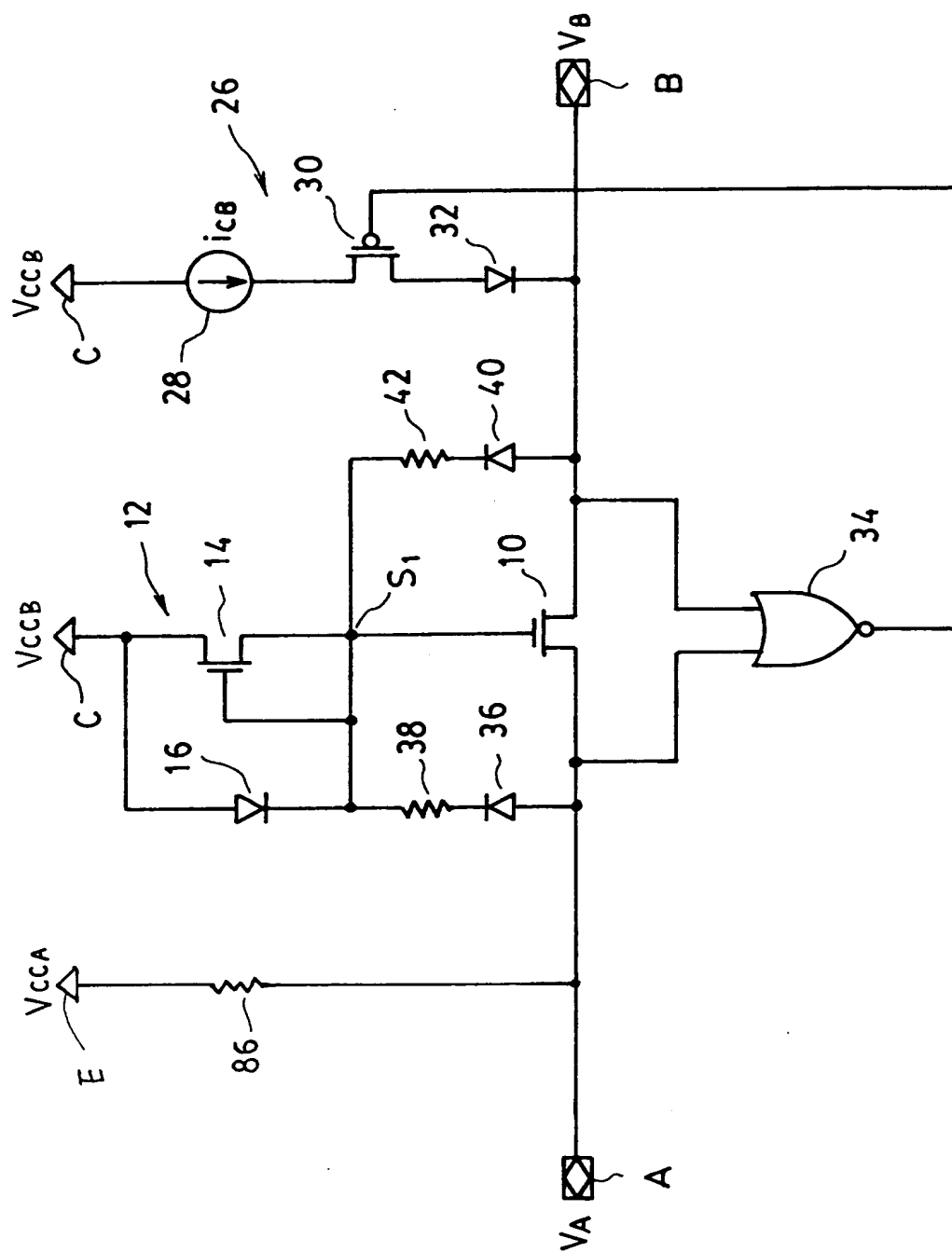
【図 8】



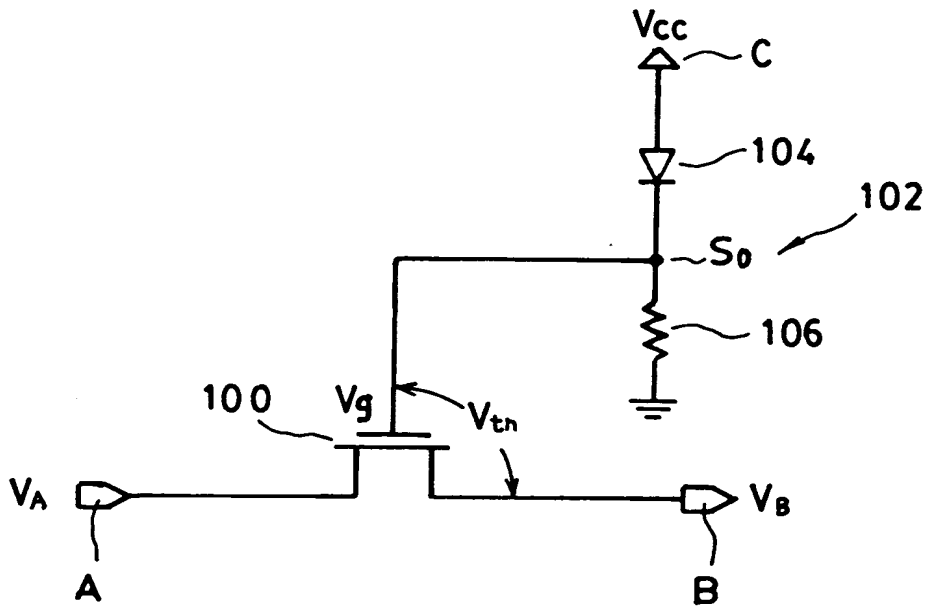
【図9】



【図 10】



【図 1 1】



【書類名】 要約書

【課題】 電源電圧以上の任意の入力信号レベルを電源電圧で規定される基準の論理レベルに高速かつ安定精確にレベルシフトすること。【解決手段】 ポート A に入力される信号が Low レベルから High レベルに遷移すると、NMOS トランジスタ 10 のドレイン・ゲート間容量の容量結合によってノード S_1 の電位が電源電圧よりも格段に高い電位まで一気に持ち上げられ、バイパス回路 12 では、NMOS トランジスタ 14 がノード S_1 側から電源電圧端子 C 側に放電電流を流すようにオンし、ノード S_1 の電位をソース側の電源電圧 V_{CC} よりも閾値電圧 V_{TN14} だけ高いレベル ($V_{CC} + V_{TN14}$) にクランプする。この結果、NMOS トランジスタ 10 のソースつまりポート B 側にはゲート電位 ($V_{CC} + V_{TN14}$) から閾値電圧 V_{TN10} だけ低いレベルつまり V_{CC} 電位の High レベルが得られる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2002-286637	
受付番号	50201469118	
書類名	特許願	
担当官	第八担当上席	0097
作成日	平成14年10月	1日

<認定情報・付加情報>

【提出日】	平成14年 9月30日
-------	-------------

出 願 人 履 歴 情 報

識別番号

[390020248]

1. 変更年月日

1999年11月19日

[変更理由]

住所変更

住 所

東京都新宿区西新宿六丁目24番1号

氏 名

日本テキサス・インスツルメンツ株式会社